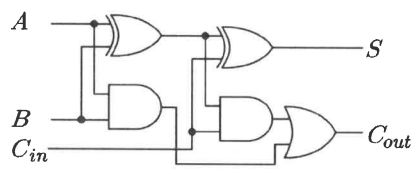
1. <보기>의 회로에서 1비트 입력 A, B를 서로 다른 논리값으로 고정한 상태에서 C_{in}을 0에서 1로 변화시킬 때, 변화 전과 변화 후의 출력 (S, C_{out})을 각각 (가)와 (나)라고 하자. (가)와 (나)를 옳게 짝지은 것은? (단, 출력이 충분히 안정된 상태에서 비교한다.)

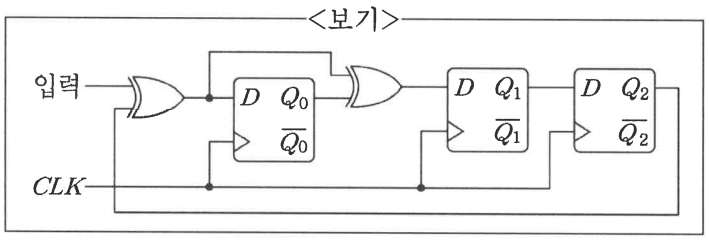
<보기>



	(가)	(나)
①	(0, 0)	(1, 1)
②	(0, 1)	(1, 0)
③	(1, 0)	(0, 1)
④	(1, 1)	(0, 0)

2. <보기>의 회로에 입력 비트열 $1110_{(2)}$이 최상위 비트부터 매 클록 1비트씩 인가될 때, 네 번째 클록 상승 에지 직후 $Q_2Q_1Q_0$의 값은? (단, 모든 D 플립플롭은 상승 에지 직전 값을 동시에 저장하며, 입력 비트열 이외의 추가 비트는 인가하지 않는다. $Q_2Q_1Q_0$의 초기상태는 000이다.)

<보기>



① 010 ② 101
③ 110 ④ 100

3. <보기>의 플립플롭에 대한 설명으로 옳은 것을 모두 고른 것은?

<보기>

ㄱ. SR 플립플롭의 클록 입력 단자에 버블이 표시되어 있으면 상승 에지와 하강 에지 모두에서 동작한다.
ㄴ. D 플립플롭의 주요 기능은 증폭 기능이다.
ㄷ. JK 플립플롭의 두 입력 단자(J, K)를 서로 연결하면 T 플립플롭이 된다.
ㄹ. 플립플롭에 인가되는 비동기적 신호(CLR, PRE)는 클록과 관계없이 출력 상태를 설정할 수 있다.

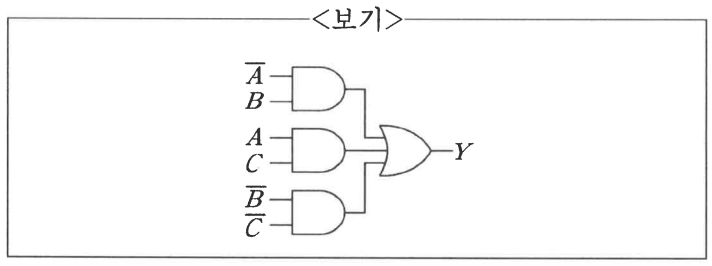
① ㄱ, ㄴ ② ㄱ, ㄹ
③ ㄴ, ㄷ ④ ㄷ, ㄹ

4. 짝수 패리티 비트(parity bit)를 발생시키기 위한 방법으로 가장 옳은 것은?

① 데이터의 모든 비트들에 대하여 XOR 연산을 수행한다.
② 데이터의 모든 비트들에 대하여 XOR 연산을 수행한 후 NOT 연산을 수행한다.
③ 데이터의 모든 비트들에 대하여 AND 연산을 수행한다.
④ 데이터의 모든 비트들에 대하여 OR 연산을 수행한다.

5. <보기>의 출력 Y에 나타날 수 있는 정적-1 해저드(static-1 hazard)를 제거하기 위해 Y의 최소 곱의 합(sum of products) 논리식에 포함시킬 수 있는 항이 아닌 것은?

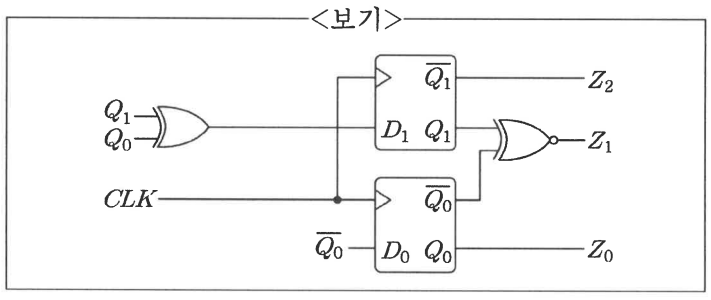
<보기>



① $A\overline{B}$ ② $\overline{A}\,\overline{C}$
③ $B\overline{C}$ ④ BC

6. <보기>의 D 플립플롭 기반의 회로에서 출력 Z_2, Z_1, Z_0의 주기를 각각 T_2, T_1, T_0이라 할 때, T_2, T_1, T_0의 길이를 비교한 것으로 가장 옳은 것은? (단, Q_1Q_0의 초기상태는 00이며, 게이트에서의 지연은 고려하지 않는다.)

<보기>



① $T_0 > T_1 > T_2$
② $T_0 > T_1 = T_2$
③ $T_2 > T_1 > T_0$
④ $T_2 = T_1 > T_0$

7. <보기>의 가산기에 대한 설명으로 옳은 것을 모두 고른 것은?

<보기>

ㄱ. 리플 캐리(ripple-carry) 가산기에서는 하위 비트에서 생성된 캐리가 상위 비트로 순차적으로 전달되므로, 비트 수가 증가할수록 캐리 전파 지연이 증가한다.

ㄴ. 캐리 룩어헤드(carry-lookahead) 가산기는 캐리 계산에 필요한 논리 단계를 줄이므로, 동일한 비트 수의 리플 캐리 가산기보다 일반적으로 적은 하드웨어로 구현할 수 있다.

ㄷ. 캐리 룩어헤드 가산기는 여러 비트의 캐리를 병렬적으로 계산하여 캐리 전파 지연을 줄이지만, 비트 수가 증가하면 캐리 계산 회로의 복잡도도 증가할 수 있다.

ㄹ. 여러 개의 캐리 룩어헤드 가산기 블록을 종속 연결하면 각 블록 내부뿐만 아니라 블록 사이의 캐리도 별도의 추가 회로 없이 병렬적으로 계산된다.

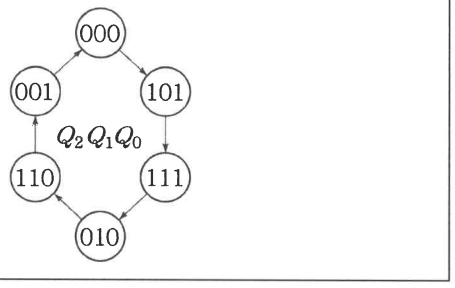
① ㄱ, ㄴ ② ㄱ, ㄷ
③ ㄴ, ㄷ ④ ㄷ, ㄹ

8. 논리식 $F(A, B, C)=\Sigma m(1, 2, 6, 7)$을 4×1 멀티플렉서(multiplexer) 하나로 구현한다. 선택 입력이 $S_1=A$, $S_0=B$일 때, 데이터 입력에 연결할 (I_0, I_1, I_2, I_3)을 옳게 짝지은 것은? (단, m은 최소항, S_1은 최상위 비트(MSB), I_k는 S_1S_0이 2진수 k에 해당할 때 선택되는 데이터 입력이다. 데이터 입력에는 0, 1, C, $\overline{C}$만 연결할 수 있다.)

① $(\overline{C}, C, 1, 0)$ ② $(C, \overline{C}, 0, 1)$
③ $(C, 0, \overline{C}, 1)$ ④ $(0, 1, C, \overline{C})$

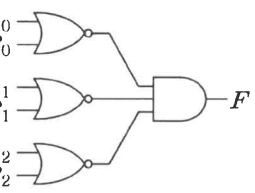
9. <보기>의 상태도와 같이 순환하는 동기 카운터를 JK 플립플롭 3개로 설계할 때, Q_2 입력의 최소식을 (J_2, K_2)의 순서로 옳게 짝지은 것은? (단, Q_2는 최상위 비트(MSB)이며, 상태는 $Q_2Q_1Q_0$ 순으로 표기한다. 미사용 상태 011과 100은 설계 시 무정의(don't care)로 처리한다.)

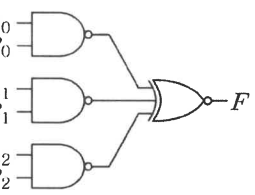
<보기>

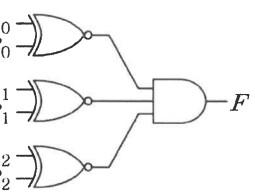


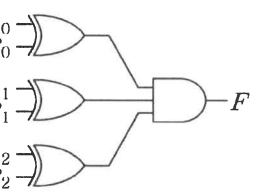
① $(Q_0, \overline{Q_1})$ ② $(\overline{Q_2}\,\overline{Q_0}, Q_2Q_1)$
③ $(Q_1, \overline{Q_0})$ ④ $(\overline{Q_0}, Q_1)$

10. 3비트 크기를 가지는 입력 $A=A_2A_1A_{0(2)}$, $B=B_2B_1B_{0(2)}$의 값이 서로 동일한 경우에는 $F=1$, 서로 다른 경우에는 $F=0$을 출력하는 비교기의 논리회로로 가장 옳은 것은?

① 

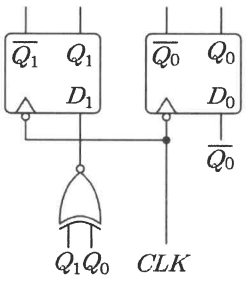
② 

③ 

④ 

11. <보기>의 D 플립플롭 기반의 회로에서 Q_1Q_0는 CLK에 따라 (가)→(나)→(다)→(라)→(가)→…와 같이 순환한다. 이를 (가)→(라)→(다)→(나)→(가)→…와 같이 역순환하도록 만드는 방법으로 가장 옳은 것은? (단, Q_1Q_0의 초기상태는 00이며, 게이트에서의 지연은 고려하지 않는다.)

<보기>



① D_0에 입력되는 값을 $\overline{Q_0}$에서 Q_0으로 변경한다.
② D_0에 입력되는 값을 $\overline{Q_0}$에서 Q_1으로 변경한다.
③ D_1에 연결된 XNOR 게이트를 NOR 게이트로 변경한다.
④ D_1에 연결된 XNOR 게이트를 XOR 게이트로 변경한다.

12. 멀티플렉서, 디멀티플렉서 및 3상태 버퍼에 대한 설명으로 가장 옳지 않은 것은?

① 2^n개의 데이터 입력을 갖는 멀티플렉서에서는 일반적으로 n개의 선택 입력을 사용하여 하나의 데이터 입력을 선택할 수 있다.

② 디멀티플렉서에서 데이터 입력을 1로 고정하면, 선택 입력에 대응하는 하나의 출력만 활성화되는 디코더와 유사하게 동작할 수 있다.

③ 여러 개의 3상태 버퍼 출력을 공통 버스에 연결하고, 한 번에 하나의 버퍼만 활성화하면 여러 회로의 데이터를 동일한 버스를 통해 선택적으로 전송할 수 있다.

④ 3상태 버퍼가 비활성화되면 출력은 고임피던스 상태가 되므로, 공통 버스의 논리값은 항상 0으로 결정된다.

13. 논리식 $F(A, B, C, D)=\Sigma m(1, 3, 5, 7, 9)+d(6, 12, 13)$을 최소 합의 곱(product of sums) 형태로 간략화한 것으로 가장 옳은 것은? (단, m은 최소항, d는 무정의(don't care) 조건을 의미한다.)

① $(\overline{A}+\overline{C})(B+D)(A+C+D)$

② $D(\overline{A}+\overline{C})$

③ $(\overline{A}+D)(\overline{C}+D)$

④ $\overline{D}(A+C)$

14. 두 개의 3비트 수 $A_2A_1A_{0(2)}$, $B_2B_1B_{0(2)}$과 1비트 자리 올림 입력 C_{in}을 받아 3비트 합 $S_2S_1S_{0(2)}$과 자리 올림 출력 C_{out}을 내는 가산기를 ROM 하나로 구현할 때, 필요한 ROM의 최소 구성으로 가장 옳은 것은? (단, 입력 비트를 ROM 주소 입력에 직접 연결하고, 한 번의 접근으로 출력 비트를 동시에 읽는다.)

① 128워드 × 4비트

② 128워드 × 7비트

③ 64워드 × 4비트

④ 64워드 × 7비트

15. <보기>와 같이 부호 없는 3비트 $N=B_2B_1B_{0(2)}$과 1비트 제어 신호 M을 입력받아 동작하는 코드 변환기의 출력 Y_2, Y_1, Y_0에 대한 논리식을 옳게 짝지은 것은? (단, B_2와 Y_2는 최상위 비트이다.)

<보기>

(가) $M=0$일 때, N을 3비트 그레이 코드(Gray code)로 변환한다.

(나) $M=1$일 때, $7-N$을 3비트 그레이 코드(Gray code)로 변환한다.

	Y_2	Y_1	Y_0
①	$B_2 \oplus M$	$B_2 \oplus B_1$	$B_1 \oplus B_0$
②	B_2	$B_2 \oplus B_1 \oplus M$	$B_1 \oplus B_0 \oplus M$
③	$B_2 \oplus M$	$B_2 \oplus B_1 \oplus M$	$B_1 \oplus B_0 \oplus M$
④	$B_2 \oplus M$	$\overline{B_2 \oplus B_1}$	$\overline{B_1 \oplus B_0}$

16. <보기>의 논리식 F를 2입력 NAND 게이트만을 사용하여 구현할 때, 필요한 NAND 게이트의 최소 개수로 가장 옳은 것은? (단, 입력은 (A, B, C, D)이고 입력의 보수를 생성하는 NAND 게이트도 개수에 포함하며, 동일한 보수 신호는 여러 곳에서 공유할 수 있다.)

<보기>

$F(A, B, C, D)=\overline{A}C+B\overline{D}+AB$

① 5 ② 6

③ 7 ④ 8

17. <보기>와 같이 부호가 있는 6비트 2의 보수로 표현된 수 $X=100000_{(2)}$를 처리할 때, 두 연산 장치 M_1과 M_2의 최종 출력을 옳게 짝지은 것은? (단, 두 연산 장치 모두 각 단계의 연산 결과는 해당 단계에서 지정된 비트 수로 저장한다.)

<보기>

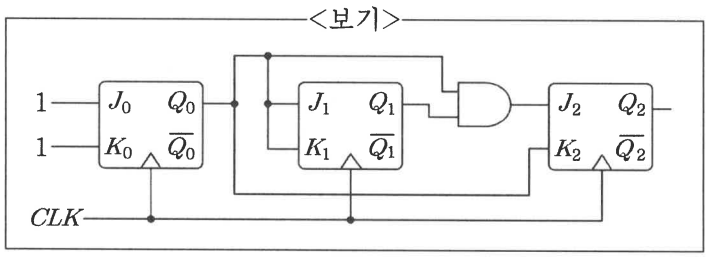
(가) M_1: X를 9비트로 부호 확장 후, 9비트 상태에서 2의 보수를 구한다.

(나) M_2: X의 2의 보수를 6비트 상태에서 구한 후, 그 결과를 9비트로 부호 확장한다.

	M_1	M_2
①	$000100000_{(2)}$	$000100000_{(2)}$
②	$000100000_{(2)}$	$111100000_{(2)}$
③	$111100000_{(2)}$	$000100000_{(2)}$
④	$111100000_{(2)}$	$111100000_{(2)}$

18. <보기>의 동기 카운터 회로 초기상태에서 클록이 2회 지나간 시점의 $Q_2Q_1Q_0$의 값은? (단, $Q_2Q_1Q_0$의 초기 상태는 101이며, 게이트에서의 지연은 고려하지 않는다.)

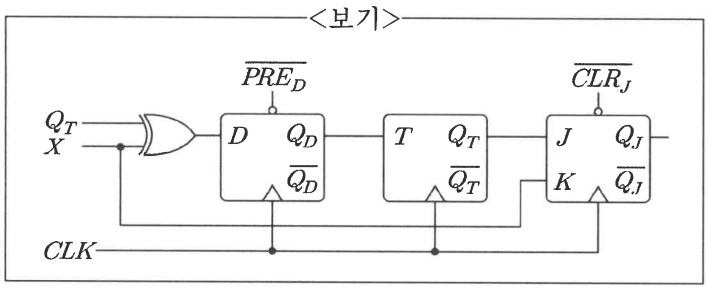
<보기>



① 010 ② 001
③ 011 ④ 111

19. <보기>의 회로에서 초기상태는 $Q_DQ_TQ_J$=010이다. 첫 번째 클록 상승 에지 후 두 번째 클록 상승 에지 전 비동기 펄스 구간에서 $\overline{PRE_D}$=0, $\overline{CLR_J}$=0이 입력되어 각 플립플롭의 상태가 확정된 후 모두 1로 복귀한다. 두 번째 클록 상승 에지 직후 $Q_DQ_TQ_J$의 상태로 가장 옳은 것은? (단, 첫 번째 클록 상승 에지에서 X=1이고 두 번째 클록 상승 에지에서 X=0이다. 그리고 $\overline{PRE_D}$와 $\overline{CLR_J}$는 낮은 레벨 활성 비동기 입력으로 클록보다 우선한다.)

<보기>



① 011 ② 101
③ 100 ④ 111

20. 직렬 입력 X에서 비트열 101이 나타날 때마다 출력 Z=1이 되는 순차열 검출기(sequence detector)를 밀리(Mealy) 머신과 무어(Moore) 머신으로 구현할 때 필요한 최소 상태 수를 각각 (가)와 (나)라고 하자. (가)와 (나)를 옳게 짝지은 것은? (단, 검출기는 매 클록마다 1비트씩 입력받고, 중첩(overlap)되는 패턴도 모두 검출하며, 무어 머신에서는 101의 수신이 완료된 직후의 상태에서 Z=1을 내는 것으로 한다.)

	(가)	(나)
①	3	3
②	3	4
③	4	4
④	4	5